

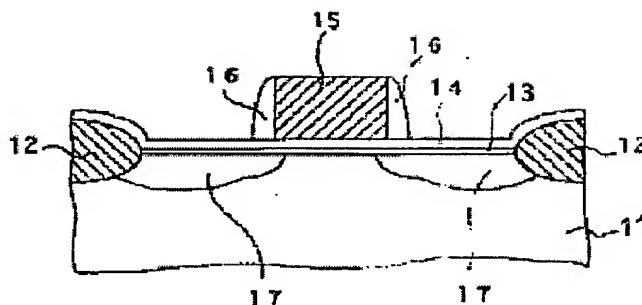
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP10178170
Publication date: 1998-06-30
Inventor: MOMIYAMA YOICHI
Applicant: FUJITSU LTD
Classification:
- international: H01L29/78
- european:
Application number: JP19960339454 19961219
Priority number(s):

Abstract of JP10178170

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method, which can reduce the boundary level or fixed charge at the boundary between two layers constituting the gate and the boundary between a semiconductor substrate and a gate insulating film, and is applicable for refined MOS transistor with a gate length of at most about $0.1\mu\text{m}$.

SOLUTION: The surface of a silicon semiconductor substrate 11 is dipped in a nitric acid, so as to form a silicon oxide film 13. Then it is annealed in an atmosphere of nitrogen to refine the film 13. Next, a Ta₂O₅ film 14 is formed on the entire surface of the substrate 11. In this case, the total thickness of the films 13 and 14 is set to be about 2nm in terms of the silicon oxide film. Then a gate electrode 15 is formed on the film 14, and an impurity diffusion area 17 is formed on the surface layer of the substrate 11.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-178170

(43) 公開日 平成10年(1998) 6月30日

(51) Int.Cl.⁶

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 G

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21) 出願番号 特願平8-339454

(22) 出願日 平成8年(1996)12月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 初山 陽一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

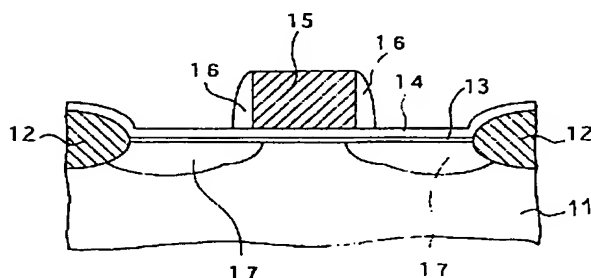
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体基板とゲート絶縁膜との界面及びゲート絶縁膜を構成する2つの層の界面等の界面準位や固定電荷を低減することができて、ゲート長が約0.1 μ m以下の微細なMOSトランジスタに適用することができる半導体装置及びその製造方法を提供する。

【解決手段】 シリコン半導体基板11の表面を硝酸に浸漬して、シリコン酸化膜13を形成する。その後、窒素雰囲気中でアニールを施し、シリコン酸化膜13を緻密化する。次に、基板11上の全面にTa₂O₅膜14を形成する。この場合、シリコン酸化膜13及びTa₂O₅膜14の合計の厚さをシリコン酸化膜換算で約2nmとする。その後、Ta₂O₅膜14上にゲート電極15を形成し、基板11の表層に不純物拡散領域17を形成する。



【特許請求の範囲】

【請求項1】 表層がシリコンからなる半導体基板と、前記半導体基板の表層に相互に離隔して形成された一対の不純物拡散領域と、

前記一対の不純物拡散領域の間の前記半導体基板上に形成されたシリコン酸化膜と、

前記シリコン酸化膜上に形成された Ta_2O_5 膜と、

前記 Ta_2O_5 膜上に形成されたゲート電極とを有することを特徴とする半導体装置。

【請求項2】 前記シリコン酸化膜と前記 Ta_2O_5 膜との合計の膜厚がシリコン酸化膜換算で3nm以下であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 表層がシリコンからなる半導体基板と、前記半導体基板の表層に相互に離隔して形成された一対の不純物拡散領域と、

前記一対の不純物拡散領域の間の前記半導体基板上に形成されたシリコン酸化膜と、

前記シリコン酸化膜上に形成された Ta_2O_5 膜と、

前記 Ta_2O_5 膜上に形成されたゲート電極とを有することを特徴とする半導体装置。

【請求項4】 前記シリコン酸化膜と前記 Ta_2O_5 膜との合計の膜厚がシリコン酸化膜換算で3nm以下であることを特徴とする請求項3に記載の半導体装置。

【請求項5】 表層がシリコンからなる半導体基板の表面を酸化剤により酸化させてシリコン酸化膜を形成する工程と、

不活性ガス雰囲気中で前記シリコン酸化膜をアニールする工程と、

前記シリコン酸化膜上に Ta_2O_5 膜を形成する工程と、

前記 Ta_2O_5 膜上にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 表層がシリコンからなる半導体基板の表面を窒素を含むガスで酸化してシリコン酸窒化膜を形成する工程と、

前記シリコン酸窒化膜上に Ta_2O_5 膜を形成する工程と、

前記 Ta_2O_5 膜上にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 前記 Ta_2O_5 膜を形成した後、 O_3 又は酸素プラズマ中で前記 Ta_2O_5 膜をアニールする工程を有することを特徴とする請求項5又は6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、微細化されたMOSトランジスタにより構成される半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、半導体装置はより一層の高集積化

及び微細化が促進されており、ゲート長が $0.1\mu\text{m}$ 以下のMOSトランジスタの実用化が要望されている。このような微細なMOSトランジスタでは、ゲート酸化膜の膜厚が2nm程度になると予想される。

【0003】 しかしながら、ゲート酸化膜の膜厚が3nm以下になると、直接トンネル現象が顕著になり、ゲートリーク電流が急増する。ゲートリーク電流が増大すると、トランジスタの信頼性が低下するだけでなく、消費電力増加も無視できない。また、従来は、通常、基板表面を熱酸化させることによりゲート酸化膜を形成している。しかし、熱酸化により膜厚が3nm以下のゲート酸化膜を制御性よく形成することは困難である。ゲート長が $0.1\mu\text{m}$ 以下のMOSトランジスタの場合、ゲート酸化膜の僅かな膜厚の揺らぎにより、トランジスタのスレッシュホールド電圧 V_{th} やゲートリーク電流等の特性が大きく変化してしまう。

【0004】 従って、ゲート長が $0.1\mu\text{m}$ 以下の微細なMOSトランジスタを形成するためには、ゲート絶縁膜の材料として高誘電率材料を使用し、実膜厚を厚くする必要がある。従来、高誘電率であり、微細なMOSトランジスタのゲート絶縁膜材料として、 Ta_2O_5 （タンタルオキシサイド）が有望視されている。また、 Ta_2O_5 は、ギガビットDRAM用のキャパシタ材料としても研究されており、窒化膜との2層構造とすることによりリーク電流が改善されることが判明している。

【0005】

【発明が解決しようとする課題】 しかしながら、ゲート絶縁膜としてシリコン基板上に Ta_2O_5 膜又は窒化膜と Ta_2O_5 膜との2層膜を形成すると、シリコン基板と Ta_2O_5 膜との界面、シリコン基板と窒化膜の界面又は窒化膜と Ta_2O_5 膜との界面に多量の界面準位や固定電荷が存在し、トランジスタのスレッシュホールド電圧 V_{th} が不安定になったり、増幅率（ g_m ）等の特性にばらつきが発生するという問題点がある。

【0006】 本発明は、上記の従来例の問題点に鑑みて創作されたものであり、半導体基板とゲート絶縁膜との界面及びゲート絶縁膜を構成する2つの層の界面等の界面準位や固定電荷を低減することができて、ゲート長が約 $0.1\mu\text{m}$ 以下の微細なMOSトランジスタに適用することができる半導体装置及びその製造方法を提供することである。

【0007】

【課題を解決するための手段】 上記した課題は、表層がシリコンからなる半導体基板と、前記半導体基板の表層に相互に離隔して形成された一対の不純物拡散領域と、前記一対の不純物拡散領域の間の前記半導体基板上に形成されたシリコン酸化膜と、前記シリコン酸化膜上に形成された Ta_2O_5 膜と、前記 Ta_2O_5 膜上に形成されたゲート電極とを有することを特徴とする半導体装置により解決する。

【0008】上記した課題は、表層がシリコンからなる半導体基板と、前記半導体基板の表層に相互に離隔して形成された一対の不純物拡散領域と、前記一対の不純物拡散領域の間の前記半導体基板上に形成された極薄いシリコン酸化膜と、前記シリコン酸化膜上に形成された Ta_2O_5 膜と、前記 Ta_2O_5 膜上に形成されたゲート電極とを有することを特徴とする半導体装置により解決する。

【0009】上記した課題は、表層がシリコンからなる半導体基板の表面を酸化剤により酸化させてシリコン酸化膜を形成する工程と、不活性ガス雰囲気中で前記シリコン酸化膜をアニールする工程と、前記シリコン酸化膜上に Ta_2O_5 膜を形成する工程と、前記 Ta_2O_5 膜上にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法により解決する。

【0010】上記した課題は、表層がシリコンからなる半導体基板の表面を窒素を含むガスで酸窒化してシリコン酸窒化膜を形成する工程と、前記シリコン酸窒化膜上に Ta_2O_5 膜を形成する工程と、前記 Ta_2O_5 膜上にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法により解決する。以下、本発明の作用について説明する。

【0011】本発明においては、表層がシリコンからなる半導体基板とその上の Ta_2O_5 膜との間にシリコン酸化膜又はシリコン酸窒化膜を介在させる。半導体基板上にシリコン酸化膜やシリコン酸窒化膜を形成した場合は、シリコン基板との界面に発生する界面準位や固定電荷が極めて少なくなり、また、シリコン酸化膜又はシリコン酸窒化膜と Ta_2O_5 膜との界面にも界面準位や固定電荷が発生しにくくなる。これにより、MOSトランジスタのスレッシュホールド電圧 V_{th} や増幅率等の特性が安定する。

【0012】また、本発明方法においては、半導体基板の表面を硝酸等の酸化剤を用いて酸化させ、その後窒素等の不活性ガス雰囲気中でアニールすることにより、シリコン酸化膜を形成する。このようにしてシリコン酸化膜を形成することにより、薄く、且つ均一な厚さのシリコン酸化膜を形成することができる。また、上記の方法に替えて、シリコン基板の表面を N_2 又は NO 等の窒素を含むガスで酸窒化することにより、微量の窒素を含むシリコン酸化物からなり、薄く且つ均一な厚さのシリコン酸窒化膜を形成し、このシリコン酸窒化膜上に Ta_2O_5 膜を形成してもよい。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。

（第1の実施の形態）図1～図3は本発明の実施の形態の半導体装置の製造方法を工程順に示す断面図である。

【0014】まず、図1に示すように、通常の方法により、シリコン半導体基板11の表面を選択酸化させて、

半導体基板11を複数の素子領域に分離するLOCOS（Local Oxidation of Silicon）膜12を形成する。次に、図2に示すように、半導体基板11の表面を硝酸に浸漬しその表面を化学的に酸化させて、シリコン酸化膜（ SiO_2 膜）13を形成する。このシリコン酸化膜13は比較的低密度で、特性もよくない。そこで、本実施の形態では、次に、窒素雰囲気中で基板11を約700～800℃に加熱し、約10～20分間保持することによりアニールを施す。これにより、シリコン酸化膜13の組織が緻密化して、熱酸化膜に近い安定な酸化膜が得られる。また、上記の条件では、シリコン酸化13の厚さが約1nmになる。なお、シリコン酸化膜13の膜厚はできるだけ薄く形成することが好ましい。上述の方法により、熱酸化法により形成したシリコン酸化膜に比べて、薄く且つ均一な厚さのシリコン酸化膜が形成できる。

【0015】その後、CVD法により、基板11上の全面に Ta_2O_5 を堆積して、厚さが約5nmの Ta_2O_5 膜14を形成する。なお、シリコン酸化膜13と Ta_2O_5 膜14とにより構成されるゲート絶縁膜の厚さは、シリコン酸化膜換算（シリコン酸化膜の比誘電率を3.9としたときの膜厚換算）で3nm以下、より好ましくは2nm程度とすることが好ましい。

【0016】次いで、図3に示すように、ゲート電極として、仕事関数がp型Siとn型Siとのバンドギャップのほぼ中間にあるTiNをCVD法により堆積した後、フォトリソグラフィ工程によってTiNを所定の形状にパターニングすることによりゲート電極15を形成する。その後、図4に示すように、従来と同様にして、ゲート電極15の両側にサイドウォール16を形成し、シリコン基板11の表層に不純物を選択的に導入し、ソース/ドレイン領域となる不純物拡散領域17を形成する。これにより、本実施の形態の半導体装置が完成する。

【0017】本実施の形態においては、ゲート絶縁膜としてシリコン酸化膜13と Ta_2O_5 膜14との2層構造の膜を形成するので、界面準位や固定電荷の発生を抑制することができる。これにより、スレッシュホールド電圧 V_{th} が安定であり、且つ特性のばらつきを回避できて、ゲート長が0.1 μm 以下の微細なMOSトランジスタを形成することができる。

【0018】このようにして形成された半導体装置は、ゲート絶縁膜がシリコン酸化膜13と Ta_2O_5 膜14との2層構造で構成されているので、ゲートリーク電流が少ないとともに、半導体基板11とシリコン酸化膜13との界面及びシリコン酸化膜13と Ta_2O_5 膜14との界面の界面準位や固定電荷が少なく、キャリア移動度の劣化が抑制され、良好でばらつきが少ないデバイス特性が得られる。

【0019】なお、上述の例においては、酸化剤として

硝酸を使用した、それ以外の酸化剤を使用してシリコン基板表面に酸化膜を形成してもよい。また、上述の例においては窒素雰囲気中でアニールしたが、アルゴン等の他の不活性ガスを使用してもよい。

(第2の実施の形態) 図5, 6は本発明の第2の実施の形態の半導体装置の製造方法を工程順に示す断面図である。

【0020】まず、図5に示すように、第1の実施の形態と同様にして、シリコン基板11の表面にLOCOS膜12を選択的に形成し、シリコン基板11を複数の素子領域に分離する。次に、NOガス雰囲気中で基板11を約800℃に加熱し、基板11の表面上に厚さが約1nm以下のシリコン酸化膜23を形成する。このシリコン酸化膜23は、酸化膜中に微量の窒素を含んだ構造を有し、ほとんどシリコン酸化膜と同様の特性を示す。なお、NOガス雰囲気に替えて、N₂ガスやその他の窒素を含むガスの雰囲気中でシリコン基板11を加熱しても、シリコン基板11の表面上に同様の酸化膜を形成することができる。

【0021】次に、CVD法によりTa₂O₅を堆積して、厚さが5nmのTa₂O₅膜14を形成する。次いで、図6に示すように、Ta₂O₅膜14上にTiNからなるゲート電極15を選択的に形成する。その後、従来と同様にして、ゲート電極15の両側にサイドウォール16を形成し、シリコン基板11の表層に不純物を選択的に導入して、ソース/ドレイン領域となる不純物拡散領域17を形成する。これにより、本実施の形態の半導体装置が完成する。

【0022】本実施の形態においても、ゲート絶縁膜として酸化膜23とTa₂O₅膜14との2層構造の膜を形成するので、界面準位や固定電荷の発生を抑制することができる。これにより、第1の実施の形態と同様に、スレッショルド電圧V_{th}が安定であり、且つ特性のばらつきを回避できて、ゲート長が0.1μm以下の微細なMOSトランジスタを形成することができる。

【0023】なお、上述の第1及び第2の実施の形態において、Ta₂O₅膜14を形成した後、O₃又は酸素プラズマを使用してTa₂O₅膜14をアニール処理してもよい。これにより、Ta₂O₅膜14中に酸素が進入して、Ta₂O₅膜14と酸化膜13又は酸化膜23との界面の界面準位や固定電荷がより一層低減される。

【0024】

【発明の効果】以上説明したように、本発明においては、半導体基板の表面とTa₂O₅膜との間にシリコン酸化膜又はシリコン酸化窒化膜が介在しているので、各界面に存在する界面準位や固定電荷が著しく低減される。これにより、スレッショルド電圧や増幅率等の特性が安定し、ゲート長が約0.1μmと微細なMOSトランジスタが得られ、半導体装置のより一層の高集積化に貢献するという効果を奏する。

【0025】また、本発明方法においては、半導体基板の表面を硝酸等の酸化剤を用いて酸化させ、その後不活性ガス雰囲気中でアニールするか、又は半導体基板の表面を窒素を含むガスで酸化することにより、薄く且つ均一な厚さのシリコン酸化膜又はシリコン酸化窒化膜を形成し、その上にTa₂O₅膜を形成するので、半導体基板とゲート絶縁膜との界面等の界面準位や固定電荷を低減することができて、良好な特性を有する微細なMOSトランジスタにより構成される半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の製造方法を示す断面図(その1)である。

【図2】本発明の第1の実施の形態の半導体装置の製造方法を示す断面図(その2)である。

【図3】本発明の第1の実施の形態の半導体装置の製造方法を示す断面図(その3)である。

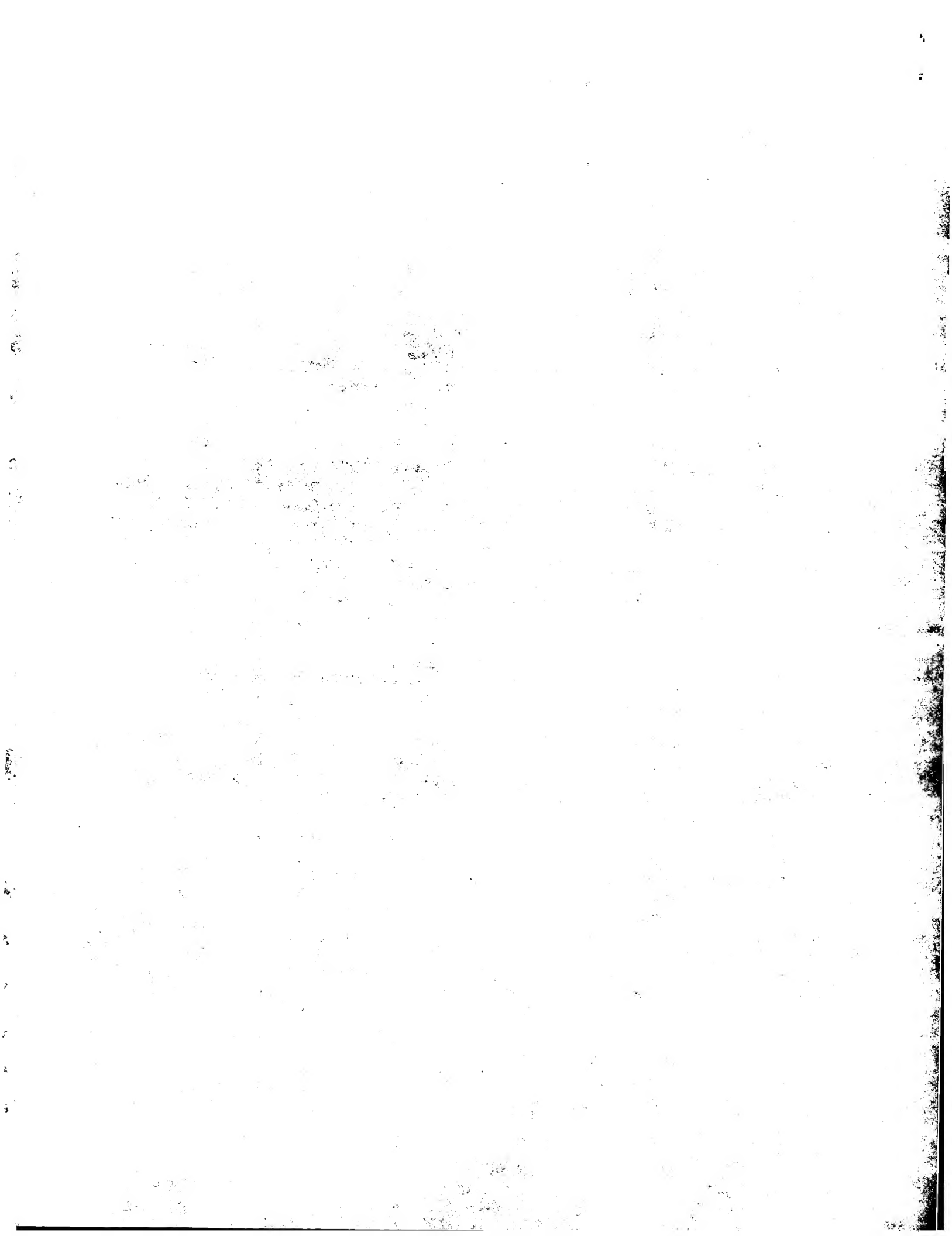
【図4】本発明の第1の実施の形態の半導体装置の製造方法を示す断面図(その4)である。

【図5】本発明の第2の実施の形態の半導体装置の製造方法を示す断面図(その1)である。

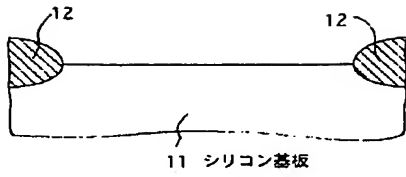
【図6】本発明の第2の実施の形態の半導体装置の製造方法を示す断面図(その2)である。

【符号の説明】

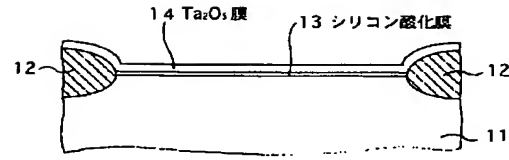
- 11 シリコン半導体基板
- 12 LOCOS膜
- 13 シリコン酸化膜
- 14, 24 Ta₂O₅膜
- 15 ゲート電極
- 16 サイドウォール
- 17 不純物拡散領域
- 23 シリコン酸化窒化膜



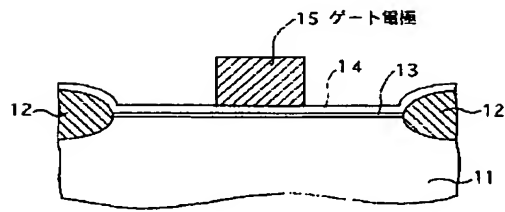
【図1】



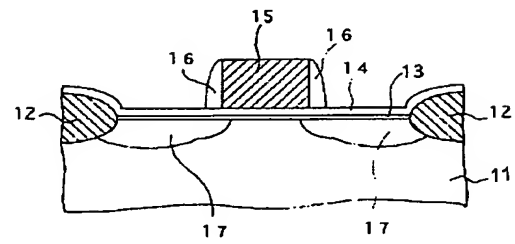
【図2】



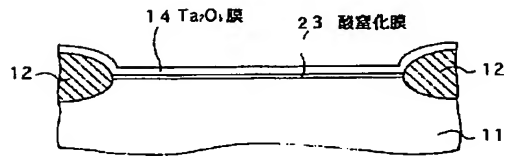
【図3】



【図4】



【図5】



【図6】

